

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A device which is adapted for dead time (delay between other switches carried out to one switch turned OFF and one) in a switching circuit (305) which has a power supply and two output power switches (104, 105), and decreases it, comprising:

this device, this -- the overlap detector circuit unit (310) which measures this dead time between two switches, or quantity of overlap

this -- a controlling circuit part (320) to which this dead time between two power switches is changed.

passing this controlling circuit part -- this -- an optimizing means (402, 404, 406, 408) which sets this dead time between two switches as the predetermined optimal period (407).

[Claim 2]The device comprising according to claim 1:

Said overlap detector circuit unit, Current meter (501) which is arranged in parallel with one of said switches, and measures current in this switch

A means to calculate dead time or said relative quantity of overlap based on measured this current.

[Claim 3]The device according to claim 2 which a means to calculate said dead time detects a break point (502) in a plot of current versus dead time, and sets up this dead time [in / in said optimizing means / this break point].

[Claim 4]The device comprising according to claim 1:

Said overlap detector circuit unit, Current meter (601) which measures current which is arranged at a terminal of said power supply, and parallel, and passes along this power supply

A means to calculate dead time or said relative quantity of overlap based on measured this current.

[Claim 5]The device according to claim 4 which a means to calculate said dead time detects a break point (502) in a plot of current versus dead time, and sets up this dead time [in / in said optimizing means / this break point].

[Claim 6]The device according to claim 5 which carries out the electric power supply of said power supply (602) to two or more switching circuits (604, 606, 608) according to claim 1 and to which said controlling circuit part for each switch changes independently quantity of said dead time in this switch.

[Claim 7]The device comprising according to claim 1:

Said overlap detector circuit unit, A voltage meter arranged at an output (701) of said switching circuit

A means to calculate said dead time or quantity of overlap based on measured this voltage.

[Claim 8]The device according to claim 7 which a means to calculate said dead time monitors a plot (710, 711, 712) of a time curve for [said] the dead time of voltage pair plurality, and chooses this dead time based on this plot.

[Claim 9]The device according to claim 7 as for which a means to calculate said dead time or overlap in front of said voltage meter including a low pass filter (801) further calculates quantity of this dead time, or quantity of overlap based on said measured average voltage (803).

[Claim 10]The device according to claim 1 containing a means (1010) by which said controlling circuit part to which said dead time between said two power switches is changed changes quantity of said current to said switch control.

[Claim 11]The device comprising according to claim 1:

A variable delay element (902) arranged in parallel before one of these switches for said controlling circuit part to which said dead time between said two power switches is changed to derive variable quantity of delay is arranged.

A delay control means (901) to which this delaying amount derived with this delay element is changed.

[Claim 12]It is the method of it being adapted for dead time (delay between other switches carried out to one switch turned OFF and one) in a switching circuit which has a power supply and two output power switches, and decreasing it, this method -- this -- with a process (406) of measuring this dead time between two switches, or quantity of overlap, this -- a process (408) to which this dead time between two power switches is changed -- this -- a process of setting this dead time between two switches as the predetermined optimal period (407) A method of including.

[Translation done.]

(43)公表日 平成15年3月18日(2003.3.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 3 F 3/217		H 0 3 F 3/217	5 J 0 5 5
H 0 3 K 17/16		H 0 3 K 17/16	L 5 J 0 9 1
17/687		17/687	F

審查請求 有 予備審查請求 有 (全 24 頁)

(21)出願番号	特願2001-525844(P2001-525844)
(86) (22)出願日	平成12年9月23日(2000.9.23)
(85)翻訳文提出日	平成14年3月22日(2002.3.22)
(86)国際出願番号	PCT/US00/40975
(87)国際公開番号	WO01/022585
(87)国際公開日	平成13年3月29日(2001.3.29)
(31)優先権主張番号	60/155,635
(32)優先日	平成11年9月23日(1999.9.23)
(33)優先権主張国	米国(US)
(31)優先権主張番号	09/480,274
(32)優先日	平成12年1月11日(2000.1.11)
(33)優先権主張国	米国(US)

(71)出願人 オーディオロジック、 インコーポレイテッド
アメリカ合衆国 コロラド 80301、 ポールダー、 スイート 100, セントラル アベニュー 2485

(72)発明者 メランソン、 ジョン ローレンス
アメリカ合衆国 テキサス 78746、 オースティン、 サウス モバック ナンバー122 2001

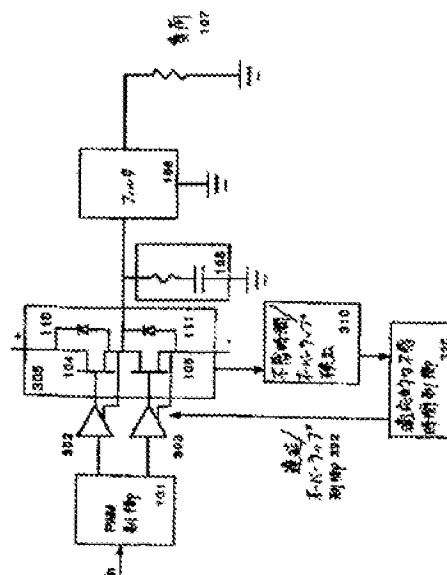
(74)代理人 弁理士 山本 秀策

最終頁に続く

(54)【発明の名称】 スイッチング回路をプッシュアップする不感時間の適宜な制御

(57) ~~SECRET~~

スイッチング回路（３０５）内の不感時間に適応して減少させる装置は、スイッチ（１０４、１０５）の不感時間／オーバーラップを測定する（４０６）オーバーラップ検出回路部（３１０）と、不感時間を最適レベル（４０７）（通常、いかなるオーバーラップも生じさせずに、可能な最小限の不感時間）に設定する（４０８）制御回路部（３２０）とを含む。不感時間／オーバーラップは、スイッチ（５０１）を通る電流、電源（６０１）への電流、スイッチ点における電圧波形（７１０、７１１、７１２）、またはスイッチ点における平均電圧波形８０３を測定することによって検出され得る。不感時間は、ドライバ（３０２、３０３）の前に遅延要素（９０２、９０３）を用いることによって、またはドライバタイミングを制御する回路部（３０２a／３２０b）を用いることによって制御され得る。



【特許請求の範囲】

【請求項1】 電源および二つの出力電力スイッチ（104、105）を有するスイッチング回路（305）内の不感時間（オフにされた一つのスイッチとオンにされた他のスイッチとの間の遅延）に適応して減少させる装置であって、該装置は、

該二つのスイッチ間の該不感時間またはオーバーラップの量を測定するオーバーラップ検出回路部（310）と、

該二つの電力スイッチ間の該不感時間を変化させる制御回路部（320）と、

該制御回路部を介して、該二つのスイッチ間の該不感時間を所定の最適期間（407）に設定する最適化手段（402、404、406、408）と

を含む、装置。

【請求項2】 前記オーバーラップ検出回路部は、

前記スイッチのうちのひとつと並列に配置され、該スイッチ内の電流を測定する電流メータ（501）と、

該測定された電流に基づいて、不感時間またはオーバーラップの前記相対的な量を計算する手段と

を含む、請求項1に記載の装置。

【請求項3】 前記不感時間を計算する手段は、電流対不感時間のプロットにおける折点（502）を検出し、前記最適化手段は、該折点における該不感時間を設定する、請求項2に記載の装置。

【請求項4】 前記オーバーラップ検出回路部は、

前記電源の端子と並列に配置され、該電源を通る電流を測定する電流メータ（601）と、

該測定された電流に基づいて、不感時間またはオーバーラップの前記相対的な量を計算する手段と

を含む、請求項1に記載の装置。

【請求項5】 前記不感時間を計算する手段は、電流対不感時間のプロットにおける折点（502）を検出し、前記最適化手段は、該折点における該不感時間を設定する、請求項4に記載の装置。

【請求項6】 前記電源（602）は、請求項1に記載の複数のスイッチング回路（604、606、608）に電力供給し、各スイッチ用の前記制御回路部は、該スイッチ内の前記不感時間の量を別々に変化させる、請求項5に記載の装置。

【請求項7】 前記オーバーラップ検出回路部は、
前記スイッチング回路の出力（701）に配置された電圧メータと、
該測定された電圧に基づいて前記不感時間またはオーバーラップの量を計算する手段と
を含む、請求項1に記載の装置。

【請求項8】 前記不感時間を計算する手段は、前記電圧対複数の不感時間用の時間カーブのプロット（710、711、712）をモニタリングし、該プロットに基づいて該不感時間を選択する、請求項7に記載の装置。

【請求項9】 前記電圧メータの前にローパスフィルタ（801）をさらに含み、前記不感時間またはオーバーラップを計算する手段は、前記測定された平均電圧（803）に基づいて、該不感時間の量またはオーバーラップの量を計算する、請求項7に記載の装置。

【請求項10】 前記二つの電力スイッチ間の前記不感時間を変化させる前記制御回路部は、

前記電流の量を前記スイッチ制御に変化させる手段（1010）を含む、請求項1に記載の装置。

【請求項11】 前記二つの電力スイッチ間の前記不感時間を変化させる前記制御回路部は、

遅延の可変量を誘導するための該スイッチのうちの 하나가配置される前に、並列に配置される可変の遅延要素（902）と、

該遅延要素によって誘導される該遅延量を変化させる遅延制御手段（901）と

を含む、請求項1に記載の装置。

【請求項12】 電源および二つの出力電力スイッチを有するスイッチング回路内の不感時間（オフにされた一つのスイッチとオンにされた他のスイッチと

の間の遅延)に適応して減少させる方法であって、該方法は、

該二つのスイッチ間の該不感時間またはオーバーラップの量を測定する工程(406)と、

該二つの電力スイッチ間の該不感時間を変化させる工程(408)と、

該二つのスイッチ間の該不感時間を所定の最適期間(407)に設定する工程と

を包含する方法。

【発明の詳細な説明】

【0001】

(発明の分野)

本発明は、スイッチング回路内の不感時間に適応して減少させる装置および方法に関する。

【0002】

(従来技術の説明)

図1（従来技術）は、通常、スイッチング音声増幅器用に用いられる、電力出力ステージを示す。PWM制御ブロック101は、入力（この場合、音声）をパルス幅変調制御信号に変化させる制御回路部である。入力は、アナログであってもよいし、デジタルであってもよい。ドライバ102および103は、スイッチ104および105のゲートをオンおよびオフにする。この場合、スイッチはFETであるが、他の能動デバイスを用いてもよい。FETの使用は、音声増幅器においては一般的である。フィルタ106、通常LCローパスフィルタは、信号からスイッチング周波数を除去する。負荷107は、電力を受け取る。すなわち、音声の場合、これはスピーカシステムである。スナッパ（snubber）ネットワーク108は、オプションであり、スイッチング波形を制御するために用いられる。キャッチダイオード110および111は、フィルタ106が通常誘導性であるように、変換の間、電圧の範囲を制御する。これらのキャッチダイオードはしばしば、トランジスタ104および105に組み込まれる。

【0003】

高い電流が、電源間およびデバイスを通して流れ、これにより、効率が悪くなり、デバイスの破壊さえ生じるため、出力デバイス104および105を、同時にオンしない、すなわち導電しないことが重要である。不感時間、つまり両方のデバイスともオンでない時間は、これが起こらないことを保証するために用いられる。図2（従来技術）は、この原理を示す。各スイッチ104および105は、他のスイッチがオンにされる前の期間201の間、オフにされる。期間201は、不感時間と呼ばれる。

【0004】

オン信号のオーバーラップを生じさせずに、不感時間201をできるだけ短くすることが重要である。不感時間の間、フィルタへの電圧は、十分に制御されない。これにより、出力にひずみが生じる。現在の設計において、ドライバ102および103内に非常に高いドライブ電流を用いて、スイッチング時間を非常に短くすると、不感時間が最小限にとどめられる。このアプローチは、電源および結線の際の要求が増加するという、望ましくない効果を有し、RF放射もより多く放出する。

【0005】

スイッチ内にオン導電のオーバーラップを生じさせずに、スイッチング回路内の不感時間を最小限にとどめる装置および方法の必要性が当該技術において残る。

【0006】

(発明の要旨)

本発明による、スイッチング回路内の不感時間に適応して減少させる装置は、不感時間／オーバーラップを測定するオーバーラップ検出回路部と、不感時間を最適レベル（通常、いかなるオーバーラップも生じさせずに、可能な最小限の不感時間）に設定する制御回路部とを含む。

【0007】

最適不感時間は、以下のように設定される。増幅器の電源をオンにすると、可能な最大不感時間が設定される。次いで、不感時間は、インクリメンタルに減少され、不感時間／オーバーラップは、不感時間の各インクリメンタルな量において測定される。ごく少ない所定量の不感時間が感知される場合、不感時間は、回路用に設定される。

【0008】

電流メータは、スイッチと並列に配置され得る。タイミングが不感時間からオーバーラップに変化するとき、感知される電流に変化が生じる。電流対不感時間／オーバーラップカーブの折点が、ひずみおよび効率の観点からほぼ最適である。オーバーラップが増えると、性能はわずかに向上するが、効率はわずかに下がる。動作点を、所望のトレードオフに合わせて選択することが可能である。電流

感知は、小さなレジスタにわたる電圧を感知することによって、または電流変圧器を用いることによって、達成され得る。

【0009】

多重チャネル増幅器における電流測定方式の改変体として、電流センサは、共通電源（例えば、電源への電流を測定する）内にセンサを配置することによって、チャネルのすべての間で共有され得る。一度に調節されるのは、一チャネルである。

【0010】

スイッチ点における電圧波形もモニタリングされ得る。波形は、A/Dコンバータによってデジタル化され得、カーブおよびオーバーシュートの変化は、所望の制御を選択するためにモニタリングされ得る。

【0011】

電圧測定を用いる別の方法は、以下のものである。出力電圧の平均値は、アナログローパスフィルタに出力を通過させることによって生成される。次いで、平均（フィルタリングされた）電圧を表す波形は、スイッチのタイミングの感応度測定として用いられ得る。

【0012】

不感時間を最適レベルに設定する制御回路部を以下のように実施してもよい。遅延要素は、PWM回路部と各ドライバとの間に配置される。各要素の上昇遅延および下降遅延は、制御ブロックによって別々に制御され得る。回路部は、デジタル遅延またはアナログ遅延のいずれかを用い得る。

【0013】

制御回路部の第二の実施形態において、スイッチングデバイスの各制御ゲート内へのドライブ電流は、ドライバのタイミングを制御することによって制御される。電力FETのゲートは、非常に有意な容量を有し、しばしば、100nCより多い電荷を蓄積する。このゲート電荷を充電および放電するために必要なドライブ電流は、有意であり、しばしば1Ampを越える。ゲートの電流の充電および放電を変化させることによって、各制御ゲートのタイミングを変化させることができる。これは、ドライブ回路部内の複数のトランジスタを用いることによ

て、かつ、使用中の（オンである）ドライブトランジスタの数を制御する論理を用いることによって、達成され得る。一例として、ゲートを充電するために、四つの整合されたデバイスを用いると、一つのデバイスでは、四つのデバイスが充電する時間の約四倍の時間がかかる。さらなる制御を与える、出力スルーレートを制御するために、この可変ドライブを用いてもよい。

【0014】

（好適な実施形態の詳細な説明）

図3は、本発明による、スイッチング回路内の不感時間に適応して減少させる装置を示す。図3の設計は、従来技術（図1参照）のように、スイッチブロック305から不感時間／オーバーラップを測定するオーバーラップ検出ブロック310、および不感時間を最適レベルに設定する制御手段320を追加したものである。

【0015】

オーバーラップ検出310は、スイッチブロック305（図5a、図6、図7a、図8a参照）のいくつかの局面を測定することによって、不感時間またはオーバーラップの量を測定する。制御320は、オーバーラップを生じさせずに（図9、図10参照）、不感時間ができるだけ最小限になるように、ドライブ制御を調節する。

【0016】

図4は、図3の装置が不感時間を測定および設定するためにいかに用いられ得るかを示すフロー図である。増幅器の電力をオンにすると（402）、工程404において、可能な最大不感時間が設定される。不感時間は、ブロック408内においてインクリメンタルに減少し（408）、感知されるオーバーラップがごく少量になる（407）まで、工程406において、不感時間の各インクリメンタルな量のオーバーラップを測定する。

【0017】

図5aは、不感時間／オーバーラップを感知する第一の方法を示すブロック図である。電流メータ501は、スイッチ110、111と並列に配置されて、スイッチブロック305の電流を測定する。タイミングが不感時間からオーバーラ

ップに変化するとき、図5bに示すように、感知される電流に変化が生じる。カーブの折点は、ひずみおよび効率の観点からほぼ最適である。オーバーラップが増えると、性能はわずかに向上するが、効率はわずかに下がる。動作点502を、所望の性能に合わせて選択することが可能である。電流感知は、小さなレジスタにわたる電圧を感知することによって、または電流変圧器を用いることによって、達成され得る。共通モードでの感知には問題がなく、電流パルスは高い周波数で生じるため、変圧器は、簡単な解決策である。

【0018】

図6は、電流測定方式の改変を示す。多重チャネル増幅器において、電流センサ601は、共通電源（例えば、電源への電流を測定する）内にセンサを配置することによって、チャネルのすべての間で共有され得る。一度に調節されるのは、一チャネルである。他のすべての点に関しては、動作は図5に示す動作と同じである。

【0019】

図7aに示すように、スイッチブロック305からの電圧波形もモニタリングされ得る。図7bは、不感時間／オーバーラップの制御が変化する際の典型的な波形を示す。波形710は、長い不感時間から生じ、波形711は、短い不感時間から生じ、波形712は最小のオーバーラップから生じる。波形は、A/Dコンバータ701によってデジタル化され得、カーブおよびオーバーシュートの変化は、所望の制御を選択するためにモニタリングされ得る。

【0020】

図8aは、不感時間／オーバーラップをモニタリングするために、スイッチブロック305から読み出される電圧を測定する別の方法を示すブロック図である。この場合、出力電圧の平均値は、アナログのローパスフィルタ801によって生成される。アナログ／デジタルコンバータ（ADC）802は、ここで遅くなり得、正確さが制限され得る。図7bの波形から、不感時間がまず減少すると、平均電圧も減少することが理解され得る。例えば、波形711の平均値は、波形710の平均値より低い。不感時間がさらに減少すると、いくらかのオーバーラップが生じ、平均電圧が再度増加する。この平均電圧803を、スイッチタイミ

ングの感度測定として用いてもよい。図8bは、通常の前平均電圧対スイッチタイミングを示す。

【0021】

図9は、制御ブロック320の第一の実施形態を示す。遅延要素902、903は、PWM制御回路部101と各ドライバ302、303との間に配置される。各要素の上昇遅延および下降遅延は、制御ブロック901によって別々に制御され得る。回路部は、デジタル遅延またはアナログ遅延を用い得る。このような回路部をいかに実施するかは、当業者に周知である。

【0022】

図10は、第二の実施形態の制御ブロック320を示すブロック図である。第二の実施形態において、スイッチングデバイスの制御ゲート104内へのドライブ電流は、ゲート302または304のタイミングを制御することによって、制御される。電力FETのゲートは、非常に有意な容量を有し、この容量はしばしば、100nCより多い電荷を格納する。このゲート電荷を充電および放電するために必要なドライブ電流は、有意であり、しばしば1Ampを超える。ゲートの電流の充電および放電を変化させることによって、タイミングを変化させることができる。図示する模式図において、これは、ドライブ回路部内の複数のトランジスタ1011を用いることによって、かつ、制御信号1001~1008を介する使用中の（オンである）数を制御する論理1010を用いることによって、達成される。一例として、ゲートを充電するために、四つの整合されたデバイス1011を用いると、一つのデバイスでは、四つのデバイスが充電する時間の四倍の時間がかかる。さらなる制御を与える、出力スルーレートを制御するために、この可変ドライブを用いてもよい。ドライブ電圧1012は通常、12~15ボルトである。

【0023】

本発明の例示的で好適な実施形態を特に、本明細書において説明してきたが、当業者であれば、特に記載したもの以外の、種々の変更、追加、および適用が、本発明の意図に含まれることを理解する。

【図面の簡単な説明】

【図1】

図1（従来技術）は、通常、スイッチング音声増幅器用に用いられる、電力出力ステージを示すブロック図である。

【図2】

図2（従来技術）は、図1の回路部に典型的な不感時間を示すタイミング図である。

【図3】

図3は、本発明による、スイッチング回路内の不感時間に適応して減少させる装置を示すブロック図である。

【図4】

図4は、図3の装置が不感時間を測定および設定するためにいかに用いられ得るかを示すフロー図である。

【図5 a】

図5 aは、スイッチを通る電流を測定することに関与する、図3の不感時間／オーバーラップを感知する第一の方法を示すブロック図である。

【図5 b】

図5 bは、タイミングが不感時間からオーバーラップに変化するとき、図5 aで感知される電流を示す波形を示す。

【図6】

図6は、電源内への電流を感知することに関与する、不感時間／オーバーラップを感知する第二の方法を示すブロック図である。

【図7 a】

図7 aは、スイッチ点における電圧波形を測定することに関与する、不感時間／オーバーラップを感知する第三の方法を示すブロック図である。

【図7 b】

図7 bは、不感時間の制御が変化する際に、図7 aの回路部から生じる典型的な電圧波形を示す。

【図8 a】

図8 aは、スイッチ点における平均電圧を測定することに関与する、不感時間

／オーバーラップを感知する第四の方法を示すブロック図である。

【図8b】

図8bは、スイッチ点における平均電圧を測定することに関与する、不感時間／オーバーラップを感知する第四の方法を示すブロック図である。

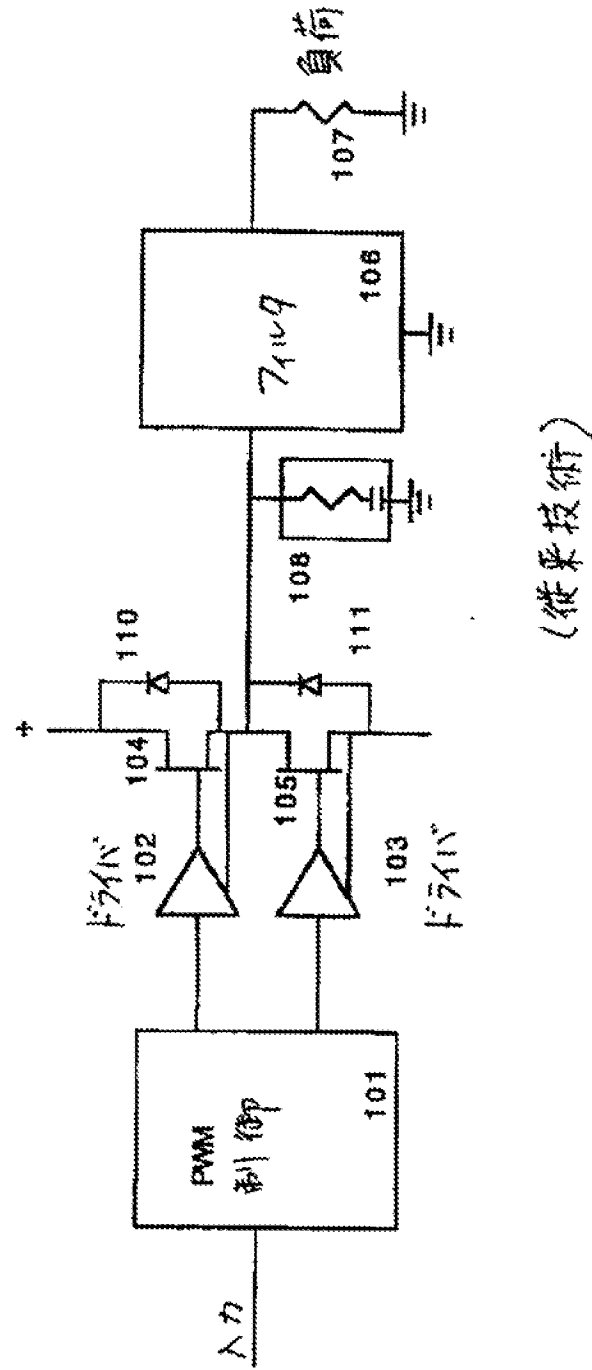
【図9】

図9は、ドライバの前に遅延要素を利用する、図3の制御回路部の第一の実施形態を示す。

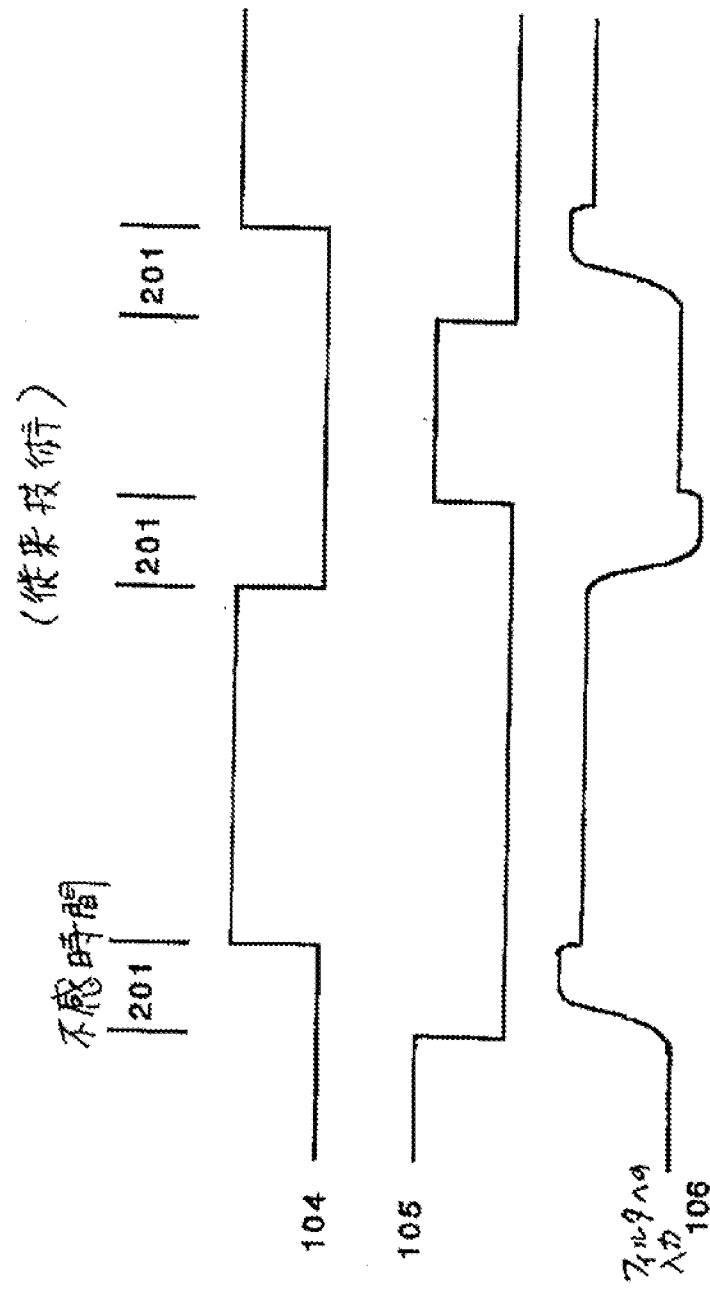
【図10】

図10は、ドライバタイミングを制御する回路部を利用する、図3の制御回路部の第二の実施形態を示す。

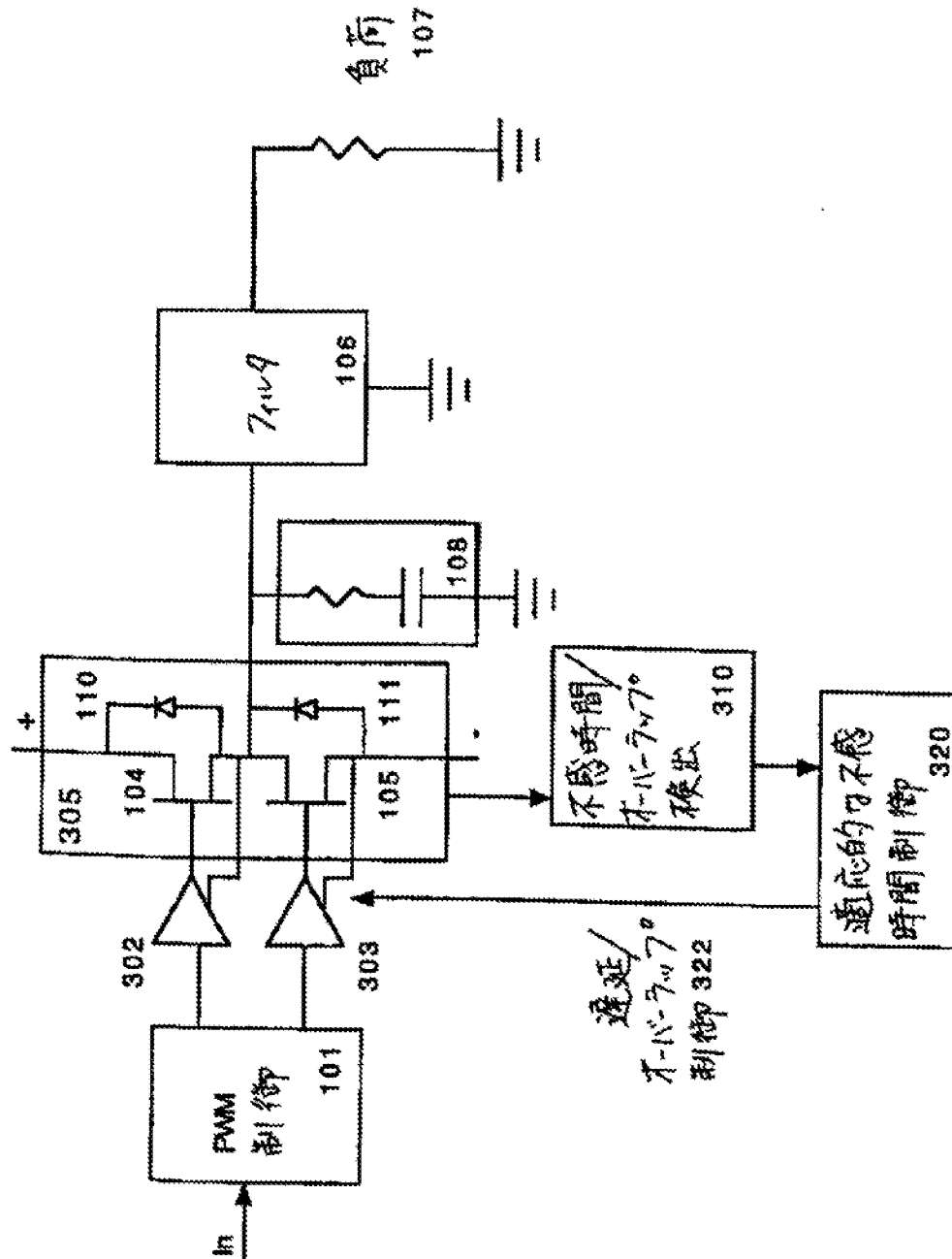
【図1】



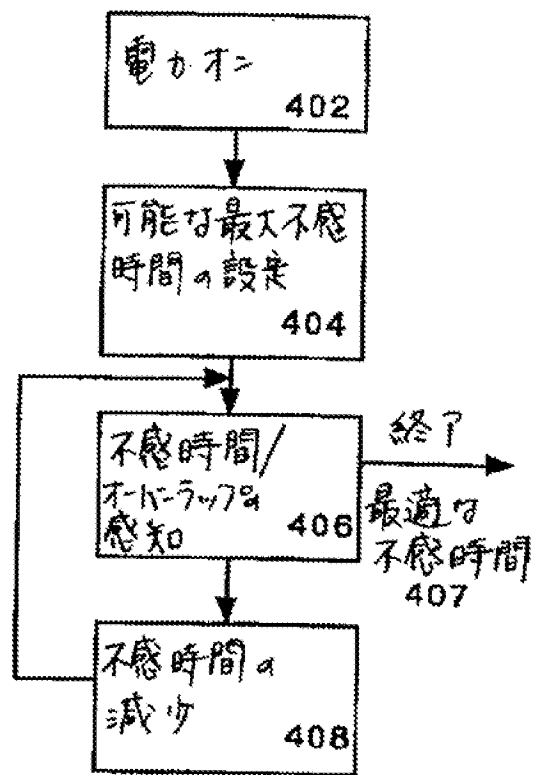
【図2】



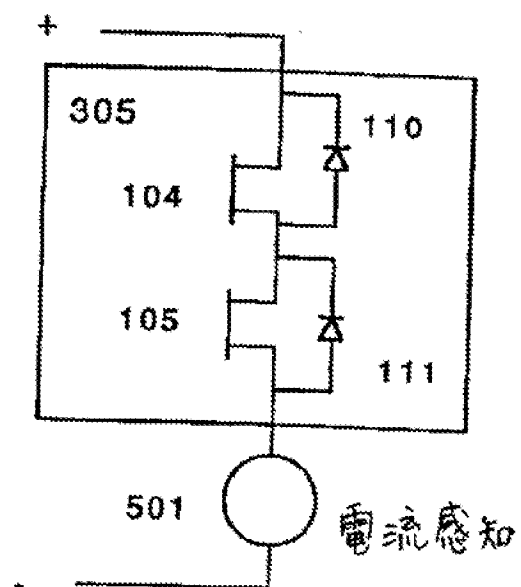
【図3】



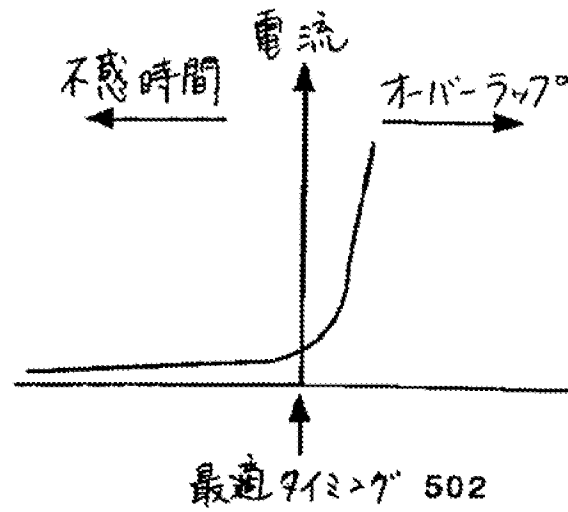
【図4】



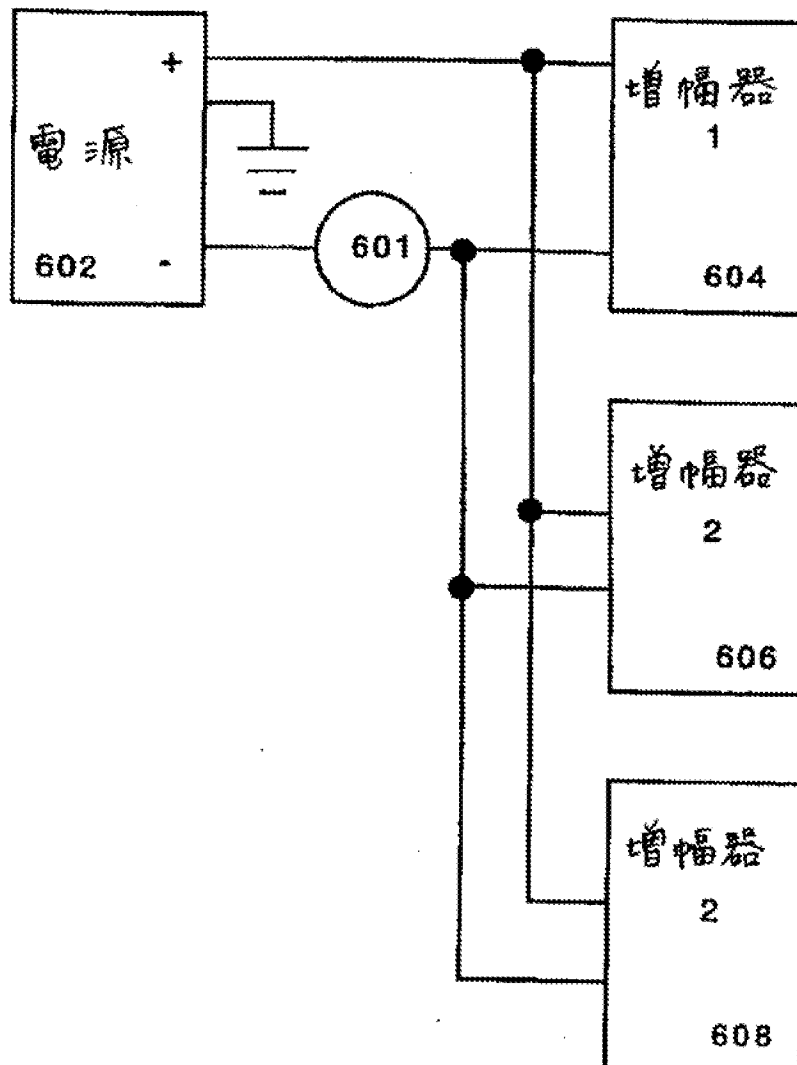
【図5a】



【図5b】



【図6】



【図7a】

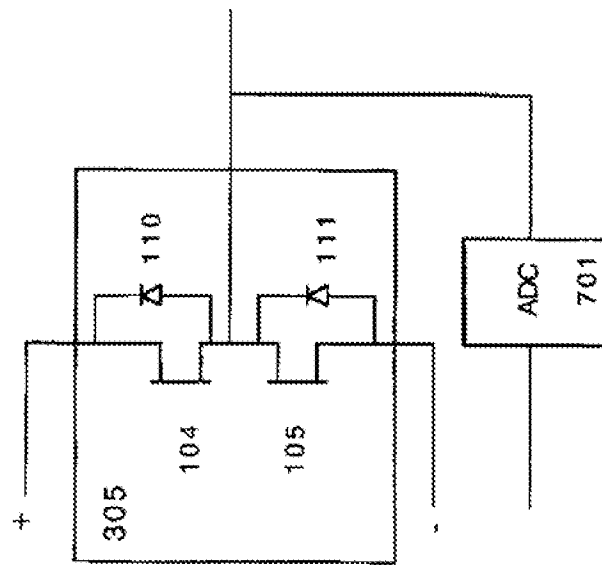


Figure 7a

【図7b】

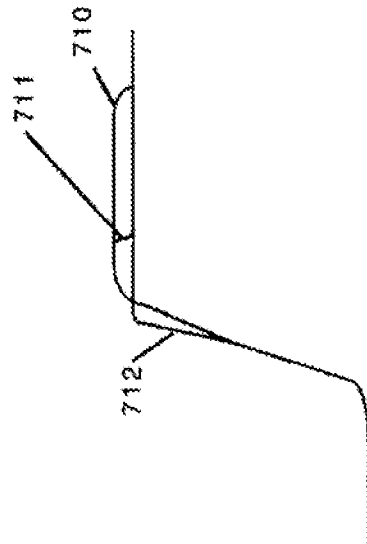
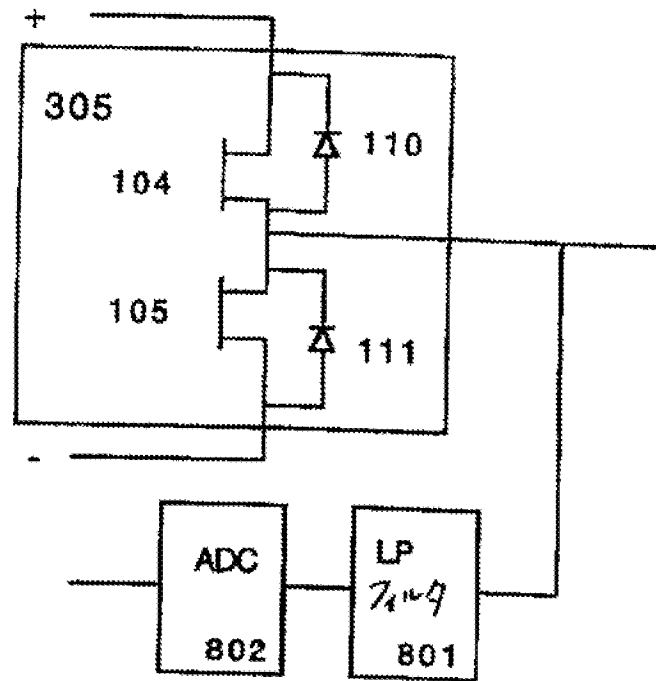
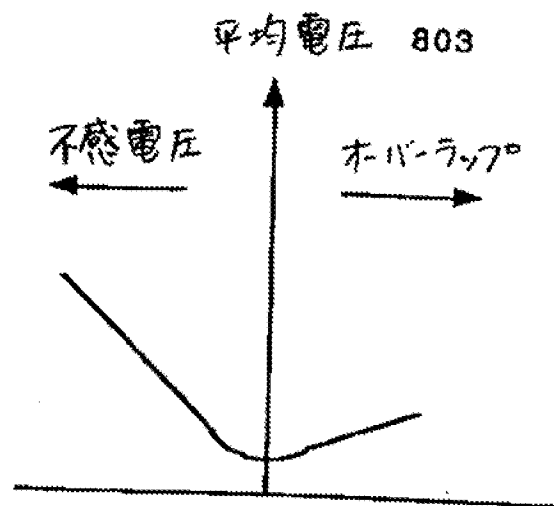


Figure 7b

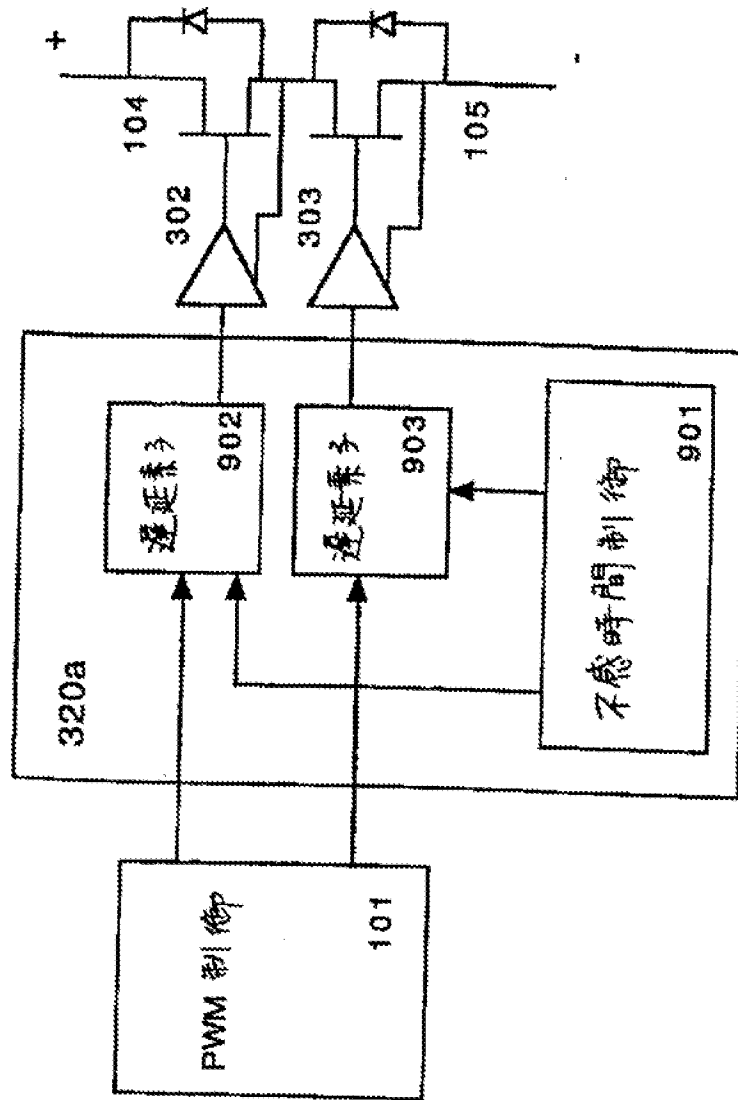
【図8a】



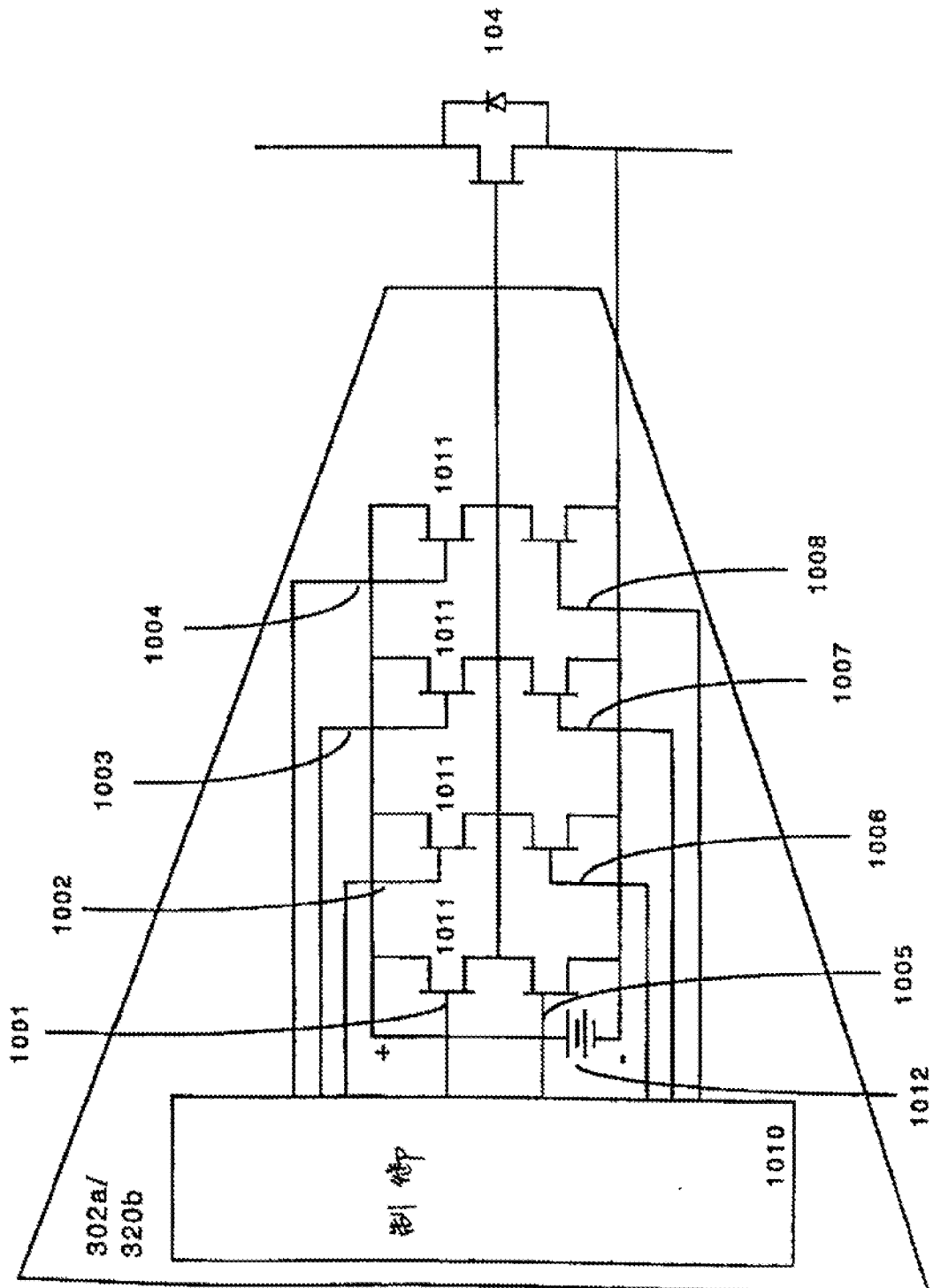
【図8b】



【図9】



【☒ 1 0】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

Intern. Appl. No.
PCT/US 00/40975

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H03K17/92 H03F3/217

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03K H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data bases consulted during the international search (name of data base and, where practical, search terms used)

EPD-Internal, PAJ, INSPEC, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indicatives, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 98 07237 A (AMERICAN SUPERCONDUCTOR CORP) 19 February 1998 (1998-02-19)	1,2,12
A	abstract page 14, line 16 -page 15, line 9 page 16, line 33 -page 17, line 9	3-11
A	DE 197 09 768 C (SIEMENS AG) 3 September 1998 (1998-09-03) abstract	1-12
A	PATENT ABSTRACTS OF JAPAN vol. 012, no. 162 (E-609), 17 May 1988 (1988-05-17) 8 JP 62 272878 A (FUJII ELECTRIC CO LTD), 27 November 1987 (1987-11-27) abstract	1-12

—/—

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document relating to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"S" document member of the same patent family

Date of the actual completion of the international search

19 December 2000

Date of mailing of the international search report

17/01/2001

Name and mailing address of the ISA
European Patent Office, P.O. Box 2016, 7000 Leuven
NL - 3200 HV Rijswijk
Tel: (+31-70) 345-2040, Tx: 31 651 400 01
Fax: (+31-70) 345-3016

Authorized officer

Gloff, H

INTERNATIONAL SEARCH REPORT

Intern. Application No.
PCT/US 00/40975

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 126 684 A (SOLOMON ELIAS E) 30 June 1992 (1992-06-30) abstract column 6, line 43 - line 46; figures 2,3 -----	6,11

 フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(CH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZW

Fターム(参考) 5J055 AX11 BX16 CX19 CX20 DX12
 DX56 DX73 EX01 EX02 EX07
 EY01 EY10 EY12 EY21 EZ07
 EZ14 EZ24 EZ50 EZ66 FX19
 GX01 GX02 GX04 GX05 GX06
 5J091 AA02 AA19 AA41 CA21 CA36
 FA00 HA19 HA25 HA29 HA39
 HA42 KA00 KA15 KA34 KA41
 KA42 KA53 KA62 MA20 TA01
 TA06 TA07 UW01 UW10